

PAT-NO: JP02002151974A
DOCUMENT-IDENTIFIER: JP 2002151974 A
TITLE: PULSE WIDTH MODULATION AMPLIFIER

PUBN-DATE: May 24, 2002

INVENTOR-INFORMATION:

NAME	COUNTRY
KOBAYASHI, HIROSHI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
ARI:KK	N/A

APPL-NO: JP2000346802
APPL-DATE: November 14, 2000

INT-CL (IPC): H03F001/32 , H03F001/30 , H03F003/217

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a PWM amplifier that can considerably enhance distortion in its output signal.

SOLUTION: The PWM amplifier 10 of this invention modulates the pulse width to amplify the voltage V_i so as to obtain an output voltage V_o . The pulse width modulation amplifier is characterized in the provision of an output voltage detection section 12 that detects the output voltage V_o and of a DSP 14 that calculates a load resistance R on the basis of the output voltage V_o detected by the output voltage detection section 12 and calculates a pulse width on the basis of the load resistor R and the input voltage V_i . Since the output voltage V_o is corrected depending on the load resistance R , the effect of load fluctuations can be suppressed. Furthermore, even the accurate correction that cannot be obtained through negative feedback of an analog signal in a conventional amplifier can be obtained through the calculation.

COPYRIGHT: (C) 2002, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-151974

(P2002-151974A)

(43) 公開日 平成14年5月24日 (2002.5.24)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 3 F	1/32	H 0 3 F	5 J 0 9 0
	1/30		B 5 J 0 9 1
	3/217		

審査請求 未請求 請求項の数 6 O L (全 8 頁)

(21) 出願番号 特願2000-346802(P2000-346802)

(22) 出願日 平成12年11月14日 (2000. 11. 14)

(71) 出願人 592010829

株式会社エー・アール・アイ

東京都八王子市明神町 3 丁目 17 番 6 号 ヴ
ィルヌーブ八王子510

(72) 発明者 小林 弘

東京都八王子市明神町 3 丁目 17 番 6 号 ヴ
ィルヌーブ八王子510 株式会社エー・ア
ール・アイ内

(74) 代理人 100079164

弁理士 高橋 勇

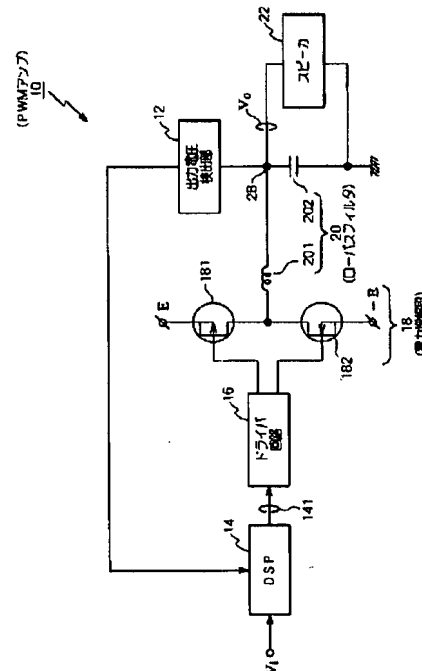
最終頁に続く

(54) 【発明の名称】 パルス幅変調アンプ

(57) 【要約】

【課題】 出力信号の歪みを飛躍的に改善できる PWM アンプを提供する。

【解決手段】 本発明の PWM アンプ 1 0 は、パルス幅を変調することにより電圧 V_i を増幅して出力電圧 V_o とするものである。その特徴として、出力電圧 V_o を検出する出力電圧検出部 1 2 と、出力電圧検出部 1 2 で検出された出力電圧 V_o に基づき負荷抵抗値 R を算出するとともに負荷抵抗値 R 及び入力電圧 V_i に基づきパルス幅を算出する DSP 1 4 とを備えている。これにより、出力電圧 V_o は、負荷抵抗値 R に応じて補正されるので、負荷変動の影響が抑制される。また、従来のアナログ信号の負帰還では得られないような正確な補正でも、計算ならば可能である。



【特許請求の範囲】

【請求項1】 パルス幅を変調することにより入力信号を増幅して出力信号とする、パルス幅変調アンプにおいて、

前記出力信号を検出する出力信号検出部と、この出力信号検出部で検出された出力信号及び前記入力信号に基づき前記パルス幅を算出する演算処理部と、
を備えたことを特徴とするパルス幅変調アンプ。

【請求項2】 前記演算処理部は、前記出力信号検出部で検出された出力信号に基づき負荷のインピーダンスを算出し、当該インピーダンス及び前記入力信号に基づき前記パルス幅を算出する、
請求項1記載のパルス幅変調アンプ。

【請求項3】 パルス幅を変調することにより入力信号を増幅して出力信号とする、パルス幅変調アンプにおいて、

電源電圧を検出する電源電圧検出部と、前記出力信号を検出する出力信号検出部と、この出力信号検出部で検出された出力信号、前記電源電圧検出部で検出された電源電圧及び前記入力信号に基づき前記パルス幅を算出する演算処理部と、
を備えたことを特徴とするパルス幅変調アンプ。

【請求項4】 前記演算処理部は、前記出力信号検出部で検出された出力信号に基づき負荷のインピーダンスを算出し、当該インピーダンス、前記電源電圧検出部で検出された電源電圧及び前記入力信号に基づき前記パルス幅を算出する、

請求項3記載のパルス幅変調アンプ。

【請求項5】 前記演算処理部は、実際に出力されるパルス幅が算出されたパルス幅に量子化誤差によって一致しなくなる場合に、その量子化誤差の分だけ次のパルス幅を補正する、

請求項1、2、3、4又は5記載のパルス幅変調アンプ。

【請求項6】 前記演算処理部がDSP（デジタル・シグナル・プロセッサ）である、

請求項1、2、3、4又は5記載のパルス幅変調アンプ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、音声用電力増強装置（オーディオ用パワーアンプ）として用いられ、高電圧をスイッチングしつつオン状態の時間を制御することによって音声信号を増幅するパルス幅変調アンプに関する。以下、パルス幅変調を「PWM（Pulse Width Modulation）」と略称する。

【0002】

【従来の技術】一般のオーディオ用パワーアンプは、リニアアンプとPWMアンプとの二種類に分類できる。リニアアンプは、構成が簡単で高品質が得られるため、現

在の主流を占めているものの、電力変換効率が原理的に悪い。一方、パルス方式のPWMアンプは、リニアアンプに比べて、低消費電力、小型化が可能、発熱が少ない等の利点を有する。そのため、PWMアンプは、これからのデジタル・サウンド・システムへの実用化が期待されている。

【0003】従来のPWMアンプの動作は次のとおりである。まず、アナログ入力信号と200[kHz]程度の三角波とを電圧比較器（コンパレータ）で比較し、アナログ入力信号の振幅に応じたデューティ比を持つPWM信号を生成する。PWM信号は、正負の電源に接続されたパワーMOSFET等で構成される電力増幅段をスイッチングする。そして、低抵抗のインダクタを構成要素に持つローパスフィルタに電力増幅段の出力信号を通し、200[kHz]程度の高周波成分を阻止することにより、可聴低周波成分を取り出す。これがPWMアンプの出力信号となりスピーカを駆動する。

【0004】

【発明が解決しようとする課題】しかしながら、従来のPWMアンプでは、次の三つの問題点があった。

1. 電源電圧の変動がそのまま出力信号に出てしまう。
2. 負荷のインピーダンスは、周波数等によって常時変化する。このインピーダンス変動により、出力信号が変動する。
3. 負荷のインピーダンス変動により、ローパスフィルタの特性が変動する。

これらの変動は、出力信号に歪みとなって現れる。

【0005】これに対して、PWMアンプ出力信号からアナログ入力信号への負帰還をかけることで、ある程度歪みを軽減することができる。しかし、これだけでは実用化に不十分であった。

【0006】

【発明の目的】そこで、本発明の目的は、出力信号の歪みを飛躍的に改善できるPWMアンプを提供することにある。

【0007】

【課題を解決するための手段】請求項1記載のPWMアンプは、パルス幅を変調することにより入力信号を増幅して出力信号とするものである。そして、出力信号を検出する出力信号検出部と、出力信号検出部で検出された出力信号、及び入力信号に基づきパルス幅を算出する演算処理部とを備えている。出力信号は負荷のインピーダンス変動によって微妙に変化する。そのため、出力信号の変化に応じて次のパルス幅を補正することにより、負荷のインピーダンス変動による出力信号の変動が抑制される。また、従来のアナログ信号の負帰還では得られないような正確な補正でも、計算ならば可能である。例えば、演算処理部は、出力信号検出部で検出された出力信号に基づき負荷のインピーダンスを算出し、このインピーダンス及び入力信号に基づきパルス幅を算出する（請

求項2)。

【0008】請求項3記載のPWMアンプは、パルス幅を変調することにより入力信号を増幅して出力信号とするものである。そして、電源電圧を検出する電源電圧検出部と、出力信号を検出する出力信号検出部と、出力信号検出部で検出された出力信号、電源電圧検出部で検出された電源電圧、及び入力信号に基づきパルス幅を算出する演算処理部とを備えている。これにより、請求項1記載のPWMアンプと同等の作用を奏するとともに、パルス幅が電源電圧変動に応じて補正されるので、電源電圧変動による出力信号の変動も抑制される。例えば、演算処理部は、出力信号検出部で検出された出力信号に基づき負荷のインピーダンスを算出し、このインピーダンス、電源電圧検出部で検出された電源電圧、及び入力信号に基づきパルス幅を算出する(請求項4)。

【0009】また、演算処理部は、実際に出力されるパルス幅が算出されたパルス幅に量子化誤差によって一致しなくなる場合に、その量子化誤差の分だけ次のパルス幅を補正する、としてもよい(請求項5)。パルス幅の出力に用いるビット数がパルス幅の算出に用いるビット数よりも小さいと、パルス幅の出力で量子化誤差が生じる。そこで、パルス幅の出力値がパルス幅の算出値よりも大きければ、その分を次のパルス幅の算出値に加える。逆に、パルス幅の出力値がパルス幅の算出値よりも小さければ、その分を次のパルス幅の算出値から差し引く。これにより、パルス幅が量子化誤差に応じて補正されるので、量子化誤差による出力信号の変動も抑制される。

【0010】更に、演算処理部がDSPである、としてもよい(請求項6)。DSPは、高速処理が可能であるので好ましい。このとき、入力信号を入力電圧、出力信号を出力電圧とすると、AD変換が容易になるので好ましい。

【0011】換言すると、本発明に係るPWMアンプは、三角波を用いずに、例えば高速のDSPを用いた演算結果に応じて、パルス波形を生成する。また、本発明に係るPWMアンプにおいても、三角波を用いる従来技術と同様に、標本化周期を持つ。本発明では、現時点のPWMアンプ出力電圧、DSPに次に入力される音声データの大きさ(入力電圧)、DSP内に設定されている負荷抵抗値(スピーカのインピーダンス)、電源電圧、ローパスフィルタ部品の定数等をパラメータとして、次の標本化周期に出力すべき出力電圧、この出力電圧を得るためのパルス幅(スイッチング時間)等を、1標本化周期内で計算する。DSPは、この計算を実行してPWM信号を生成し、正電圧電源及び負電圧電源に接続された電力増幅段をスイッチングする。

【0012】また、パルス幅と出力電圧の変化との関係に基づき、実際の負荷抵抗値を演算にて求める。その結果を、次の標本化周期内でのパルス幅を求める計算に用

いる。標本化周期毎に実際の負荷抵抗値を求め、これらを平均化することで、最適な負荷抵抗値を設定し得る。

【0013】更に、出力電圧には、負荷変動以外に、計算上のパルス幅とDSP動作クロックに従う実際のパルス幅との差、いわゆる量子化誤差も含まれる。そのため、計算には時間補正も織り込む。これにより、歪みの負荷特性が更に向上する。

【0014】すなわち、本発明に係るPWMアンプは、出力電圧検出部とDSPとを用いる。そして、DSPは、出力電圧検出部から得られた出力電圧に基づき、パルス幅誤差を織り込んだ負荷抵抗値を計算し、サンプリング周期毎に設定される負荷抵抗値を更新してパルス幅を計算していくことで、負荷変動の影響を出力電圧から排除する。

【0015】

【発明の実施の形態】図1は、本発明に係るPWMアンプの第一実施形態を示すブロック図である。以下、この図面に基づき説明する。なお、本実施形態では、請求項に記載の出力信号検出部、演算処理部、負荷のインピーダンス等を、それぞれ出力電圧検出部、DSP、負荷抵抗値等と具体化している。

【0016】本実施形態のPWMアンプ10は、パルス幅を変調することにより入力電圧Viを増幅して出力電圧Voとするものである。その特徴として、出力電圧Voを検出する出力電圧検出部12と、出力電圧検出部12で検出された出力電圧Voに基づき負荷抵抗値Rを算出するとともに負荷抵抗値R及び入力電圧Viに基づきパルス幅を算出するDSP14とを備えている。これにより、出力電圧Voは、負荷抵抗値Rに応じて補正されるので、負荷変動の影響が抑制される。また、計算によってパルス幅を補正しているので、アナログ信号を単に負帰還させるだけの従来技術では得られない、複雑かつ正確な補正が実現可能である。

【0017】DSP14は、音声信号がサンプリング及びデジタル化された入力電圧Viを入力し、ドライバ回路16を介して電力増幅段18へPWM信号141を出力する。ドライバ回路16は、パワーMOSFET181、182を駆動する比較的大きな電流を得るために、エミッタフォロワ接続されたバイポーラトランジスタ等を中心に構成されている。電力増幅段18では、正電圧電源及び負電圧電源に接続されたパワーMOSFET181、182が、PWM信号141に基づきオン・オフされる。パワーMOSFET181、182間の接続点には、コイル201とコンデンサ202とからなるローパスフィルタ20が接続されている。コンデンサ202の両端が出力端子28となり、出力端子28に出力電圧検出部12とスピーカ22とが接続されている。出力電圧検出部12は、AD変換器を主に構成され、その出力信号がDSP14に入力(帰還)される。

【0018】図2[1]はPWMアンプ10の動作を説

明するための等価回路図である。以下、図1及び図2 [1]に基づき説明する。

【0019】図2 [1]は、電力増幅段18の動作原理、特に、正電圧側に駆動する場合の動作を示している。また、図2 [1]において、パワーMOSFET181をスイッチ241及び抵抗器242、スピーカ22の負荷抵抗値をR、出力端子28における出力電圧をV、コイル201をインダクタ261及び抵抗器262、パワーMOSFET182を順方向電圧 V_F が印加されたダイオード、と表わす。更に、抵抗器242、242の抵抗値をそれぞれ r_1 、 r_2 、 $r_1 + r_2 = r$ 、インダクタ261のインダクタンスをL、コンデンサ202のキャパシタンス及び電荷量をそれぞれC、Q、とする。

【0020】ある標本化周期において、その時点での出力電圧Vが V_a であるとする。次の音声入力標本値bがDSP14に入力されると、DSP14は、次の標本化周期内に出力すべき目標出力電圧 V_b を計算する。続いて、DSP14は、電源電圧E、出力電圧 V_a 、現在の設定されている負荷抵抗値 R_a 、コイル201及びコンデンサ202の定数L、C等に基づき、出力電圧 V_b を得るためのパルス幅 t_b を計算し、これに量子化誤差の補正を加えたPWM信号141をドライバ回路16へ出力する。その結果、スイッチ241がオンすることにより電流 I_L が流れ、出力端子28において出力電圧Vが目標出力電圧 V_b に向かって上昇する。

【0021】次に、量子化誤差の補正について説明する。

【0022】DSP14は高速のクロック信号で動作する。つまり、DSP14の出力信号は、クロック信号に同期して変化するため、出力するパルス幅が離散的値になる。例えば、クロック信号が50 [MHz]もの高速であっても、20 [ns]の分解能しかない。そのため、DSP14は、1 [ns]単位で演算することによりパルス幅を例えば1.234 [μ s]と算出した場合、最終的に1.240 [μ s]とし、-6 [ns]分を次の標本化周期に補正分として持ち越す。

【0023】次に、負荷抵抗値の算出について説明する。

【0024】標本化周期終点での出力電圧Vを出力電圧検出部12で測ることにより、目標出力電圧 V_b が正しく出力されたか否かを確認できる。その結果、出力電圧Vが V_b' になったとする。必ずしも V_b にならない理由は、負荷抵抗値Rが変動するためである。 $(V_b' - V_b)$ に基づいて、想定した負荷抵抗値にずれがあることが分かるので、そのずれ量を計算する。

【0025】例えば、 $V_b' > V_b$ であれば $R_b' > R$

bと計算される。ここで、 R_b は演算に使用した負荷抵抗値、 R_b' は実際の負荷抵抗値（正確には、再計算で求めた実際の負荷抵抗の推定値である。）である。つまり、 $V_b' > V_b$ となる原因は、実際の負荷抵抗値 R_b' が、演算で使用した負荷抵抗値 R_b より大きいことにある。そこで、一例を述べれば、標本化周期8サイクル経過したところで、八つの負荷抵抗値の平均値を求め、その平均値の $1/16$ を補正量として、負荷抵抗値Rを補正する。以降、標本化周期毎に繰り返す。また、負荷抵抗値Rの精度が上がるに従って、多サイクルで平均することにより、補正の回数を少なくする。

【0026】 $R_b' > R_b$ の場合、出力電圧が上がりすぎていて、次のパルス幅は $V_b' = V_b$ であるときに比べ短くする。したがって、負荷抵抗値を計算することにより、負荷変動に追従できるとともにパルス幅誤差も吸収できる。一方、 $V_b' < V_b$ であれば $R_b' < R_b$ と計算される。 $V_b' < V_b$ となる原因は、実際の負荷抵抗値 R_b' が負荷抵抗値 R_b より小さいか、パルス幅が計算値 t_b より短いことにある。この場合も、負荷抵抗値を計算することにより、負荷変動に追従できるとともにパルス幅誤差も吸収できる。

【0027】以上のように、DSP14は、設定されている負荷抵抗値 R_b に基づき、次のデータcに対する目標出力電圧 V_c とパルス幅 t_c とを計算する。その結果、出力電圧が V_c' であれば、DSP14は同様に R_c' を計算する。この動作をサンプリング周期毎に行うことにより、負荷変動及びパルス幅誤差に影響されない出力信号が得られる。

【0028】図2 [2]はPWMアンプ10の動作を説明するための波形図である。以下、図1及び図2 [1]、[2]に基づき、PWMアンプ10の動作を更に詳細に説明する。

【0029】図2 [1]に示す回路の状態方程式は次のとおりである。

【数1】

$$rI_L + L \frac{dI_L}{dt} + RI_R = E$$

$$RI_R = \frac{Q}{C} + \frac{1}{C} \int I_C dt$$

$$I_L = I_C + I_R$$

【0030】図2 [2]では、一周期の電圧電流波形が示されている。ここで、時刻 $t = 0$ でスイッチ241を閉じると、コイル電流 I_L が生じて出力電圧Vが増大する。 $Q(t)$ 、 $V(t)$ 、 $I_C(t)$ は、[数1]の式により次のように導出できる。

【数2】

$$\begin{aligned}
 Q(t) &= Q_0 + \frac{I_0\omega - ak}{a^2 + \omega^2} e^{-at} \sin \omega t + \frac{I_0a + \omega k}{a^2 + \omega^2} (1 - e^{-at} \cos \omega t) \\
 V(t) &= \frac{Q(t)}{C} = \frac{1}{C} \left[Q_0 + \frac{I_0\omega - ak}{a^2 + \omega^2} e^{-at} \sin \omega t + \frac{I_0a + \omega k}{a^2 + \omega^2} (1 - e^{-at} \cos \omega t) \right] \\
 I_c(t) &= k e^{-at} \sin \omega t + I_0 e^{-at} \cos \omega t \\
 a &= \frac{CRr + L}{2CRL} \\
 \omega &= \sqrt{\frac{r + R}{CRL} - \left(\frac{CRr + L}{2CRL} \right)^2} \\
 k &= \frac{1}{\omega} \left(\frac{E}{L} - 2 \frac{r + R}{CRL} Q_0 - \frac{CRr + L}{2CRL} I_{c0} \right) \\
 I_{c0}, Q_0 &\text{は各々 } t = 0 \text{ での初期値である。}
 \end{aligned}$$

【0031】 $t = t_1$ でスイッチ241を開くと、コイル201は、コンデンサ202と負荷抵抗値Rのスピーカ22とに、貯えられた磁気エネルギーを放出する。その時、コイル201が電流を連続させる性質に基づき、ダイオードとして動作するパワーMOSFET182經由でコンデンサ202にチャージ電流 I_c が流れるた *

$$\begin{aligned}
 Q(t) &= Q_1 + \frac{I_1\omega - ak_1}{a^2 + \omega^2} e^{-at} \sin \omega t + \frac{I_1a + \omega k_1}{a^2 + \omega^2} (1 - e^{-at} \cos \omega t) \\
 V(t) &= \frac{Q(t)}{C} = \frac{1}{C} \left[Q_1 + \frac{I_1\omega - ak_1}{a^2 + \omega^2} e^{-at} \sin \omega t + \frac{I_1a + \omega k_1}{a^2 + \omega^2} (1 - e^{-at} \cos \omega t) \right] \\
 I_c(t) &= k_1 e^{-at} \sin \omega t + I_1 e^{-at} \cos \omega t \\
 k_1 &= \frac{1}{\omega} \left(\frac{-E - V_F}{L} - 2 \frac{r + R}{CRL} Q_1 - \frac{CRr + L}{2CRL} I_{c1} \right) \\
 I_{c1}, Q_1 &\text{は各々 } t = t_1 \text{ での値、} t_1 \text{ は } t_1 \text{ からの経過時間である。}
 \end{aligned}$$

【0032】 t_2 は、次式を解くことで t_1 の関数として求まる。

【数4】

$$I_L(t_2) = I_c(t_2) + \frac{Q(t_2)}{CR} = 0$$

【0033】 t_2 以降、コンデンサ202中の電荷は負荷抵抗値Rによって放電され、出力電圧Vは減少していく。サンプリング周波数は、再生周波数を広帯域化するため高いほうが望ましいが、スイッチ241の動作速度が追いつかなくなるため200[kHz]程度にするのが一般的である。したがって、サンプリング周期Tは5[μs]程度とする。

【0034】また、 $Q(t)$ 、 $V(t)$ 、 $I_c(t)$ の計算を簡単にするために、各周期のコイル電流 I_L の初期値を0とするのが便利である。したがって、 $t_2 < T$ とするのが望ましい。コイル201の定数L及びコンデンサ202の定数Cは、 $t_2 < T$ で最高周波数かつ最大振幅の出力が出せるように決定する。このとき、デバイスの耐圧なども考慮する。あるデータと次のデータとの出力電圧Vの差を ΔV とすると、次式が成り立つ必要がある。この式から t_1 が計算できる。

【数5】

*め、出力電圧Vが増加し続ける。 $t = t_2$ でエネルギーを放出し終わると、コイル電流 $I_L = 0$ となり、出力電圧Vは最大値をとる。 $t_1 \leq t \leq t_2$ では $Q(t)$ 、 $V(t)$ 、 $I_c(t)$ は次の式のとおり導出できる。

【数3】

$$T \times \Delta V = \int_0^{t_1} V(t) dt + \int_{t_1}^{t_2} V(t) dt + \int_{t_2}^T V(t) dt$$

30

【0035】この式を t_1 について解けばよいのであるが、それでは演算に要する時間が1サンプリング周期T内に収まらない。そこで、実際には、表引き法で t_1 の値を決定する。表引き法とは、予め【数5】の式に従って t_1 に対応する ΔV の値を計算した表を用意し、この表の ΔV を元に逆表引きし t_1 の相当する値を求める方法である。 $t = 0$ から $t = t_1$ までがパルス幅である。

【0036】周期Tの $t = 0$ から $t = t_1$ までスイッチを閉じるPWM信号を生成すると、出力電圧Vは平均して ΔV だけ変化することになる。また、前述の式と実際の ΔV の値とから、負荷抵抗値Rを求めることができる。負荷抵抗値Rは、周波数等の要因により常時変化する。負荷抵抗値Rをサンプリング周期T毎に計算し次のデータ処理に用いることで、負荷変動に応じて出力電圧を調整できるので、結果として、負荷変動にもかかわらず一定電圧が得られる。すなわち、負荷変動にもかかわらず目標とする出力電圧が得られる。

【0037】次に、数値例を挙げて、より具体的に説明する。

※50 【0038】PWMアンプ10は8[Ω]及び50

[W]、 $E=28.3$ [V]、 $L=2.5$ [μ H]、 $C=2.7$ [μ F]、 $r=0.1$ [Ω]、 $R=8$ [Ω]、 $T=5.2$ [μ s]とする。これらの値は、計算式の初期値として電源投入毎にDSP14に設定される。

【0039】ここで、 $I_0=Q_0=0$ とする。5.2 [μ s]後の目標出力電圧が20 [V]のとき、前述の計算式により $t_1=2.7$ [μ s]、 $t_2=3.9$ [μ s]となる。DSP14は、正の電源に接続されたパワーMOSFET181を、時間 $t=0$ から $t=t_1$ までオンするPWM信号を出力する。すると、コンデンサ202に電荷がチャージされることにより、出力電圧Vが上昇し、スピーカ22は正の音圧を発生する。この5.2 [μ s]の間に出力電圧Vが20 [V]になるはずであっても実際には19 [V]であったとすると、計算により負荷抵抗値 $R=6$ [Ω]であるとわかる。そして、次のデータ処理時には計算式のRの値を6にして計算する。これをサンプリング周期ごとに繰り返す。これにより、負荷変動に対応したパルス幅が得られるので、出力信号に含まれる負荷変動の影響を低減できる。

【0040】図3は、本発明に係るPWMアンプの第二実施形態を示すブロック図である。以下、この図面に基づき説明する。なお、本実施形態では、請求項に記載の出力信号検出部及び電源電圧検出部、演算処理部、負荷のインピーダンス等を、それぞれAD変換器、DSP、負荷抵抗値等と具体化している。また、第一実施形態と同じ箇所は、説明を省略する。

【0041】本実施形態のPWMアンプ30は、パルス幅を変調することにより入力電圧Viを増幅して出力電圧Voとするものである。その特徴として、電源電圧E、-Eを検出するAD変換器32と、出力電圧Voを検出するAD変換器34と、AD変換器34で検出された出力電圧Vo、AD変換器32で検出された電源電圧E、-E及び入力電圧Viに基づきパルス幅を算出するDSP36とを備えている。詳しく言えば、DSP36は、出力電圧Voに基づき負荷抵抗値Rを算出し、負荷抵抗値R、電源電圧E、-E及び入力電圧Viに基づきパルス幅を算出する。これにより、第一実施形態のPWMアンプと同等の作用を奏するとともに、パルス幅が電源電圧変動に応じて補正されるので、電源電圧変動による出力電圧Voの変動も抑制される。

【0042】AD変換器40は、アナログ音声信号からなる入力電圧Viを入力端子38を介して入力し、20ビットのディジタル信号に変換してDSP36へ出力する。DSP36は、前述の計算式に基づきパルス幅を決定して、パルス幅を示す8ビットの並列ディジタル信号をPWM発生論理回路24へ出力する。PWM発生論理回路24は、そのパルス幅のパルスを発生し、その正負極性に対応したゲートドライバ441、442を介して、パワーMOSFET461、462を駆動する。その結果、出力端子48における出力電圧Voがパルス幅

に応じて上昇又は下降することにより、出力端子48に接続されたスピーカ（図示せず）を鳴らす。

【0043】PWM発生論理回路24は、例えばPLA（programmable logic array）からなり、パルス幅を示す8ビット信号に基づき、実際のPWM信号を生成する。ゲートドライバ441、442は、パワーMOSFET461、462を駆動する比較的大きな電流を得るために、エミッタフォロワ接続されたバイポーラトランジスタ等を中心に構成されている。

10 【0044】また、出力電圧Voは、AD変換器34でディジタル値に変換された後、DSP36で補正演算に使用される。電源電圧E、-Eも、AD変換器32でディジタル値に変換された後、DSP36で補正演算に使用される。なお、電源電圧E、-EとAD変換器32との間には、電源電圧E、-Eのどちらか一方をAD変換器32に入力させるための電子的スイッチ50が設けられている。電子的スイッチ50はDSP36によって駆動される。

【0045】基本周期発生回路52は、5.2 [μ s]（約200 [kHz]）の一定周期の信号を、AD変換器34、40、DSP36、及びPWM発生論理回路42へ供給する。この信号に同期して各回路が動作する。なお、AD変換器32は、電源電圧変動が長周期であるため、5.2 [μ s]周期の信号に同期していない。

【0046】なお、言うまでもないが、本発明はこれらの実施形態に限定されるものではない。

【0047】

【発明の効果】本発明に係るPWMアンプによれば、入力信号及び出力信号に基づきパルス幅を算出することにより、出力信号の変化に応じて次のパルス幅を補正することができるので、負荷のインピーダンス変動による出力信号の変動を抑制できる。したがって、アナログ信号を単に負帰還させるだけの従来技術に比べて、複雑かつ正確な補正を計算によって容易に実現できるので、出力信号の歪みを飛躍的に改善できる。

【0048】また、電源電圧変動に応じてパルス幅を補正することにより、電源電圧変動による出力信号の変動も抑制できるので、出力信号の歪みを更に飛躍的に改善できる。

40 【0049】更に、実際に出力されるパルス幅が算出されたパルス幅に量子化誤差によって一致なくなる場合に、その量子化誤差の分だけ次のパルス幅を補正することにより、量子化誤差に応じてパルス幅を補正できるので、量子化誤差による出力信号の変動も抑制できる。したがって、出力信号の歪みを更に飛躍的に改善できる。

【0050】更にまた、演算処理部をDSPとすれば、高速処理が可能となるので、これからのディジタル・サウンド・システムへの実用化に最も有効である。

【図面の簡単な説明】

50 【図1】本発明に係るPWMアンプの第一実施形態を示

11

12

すブロック図である。

【図2】図2[1]は図1のPWMアンプの動作を説明するための等価回路図である。図2[2]は図1のPWMアンプの動作を説明するための波形図である。

【図3】本発明に係るPWMアンプの第二実施形態を示すブロック図である。

【符号の説明】

10, 30 PWMアンプ

12 出力電圧検出部(出力信号検出部)

14, 36 DSP(演算処理部)

32 AD変換器(電源電圧検出部)

34 AD変換器(出力信号検出部)

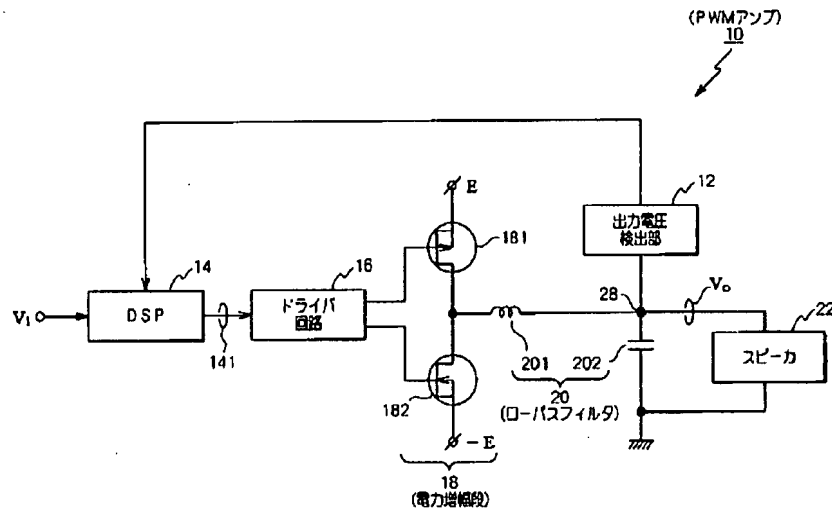
R 負荷抵抗値

E, -E 電源電圧

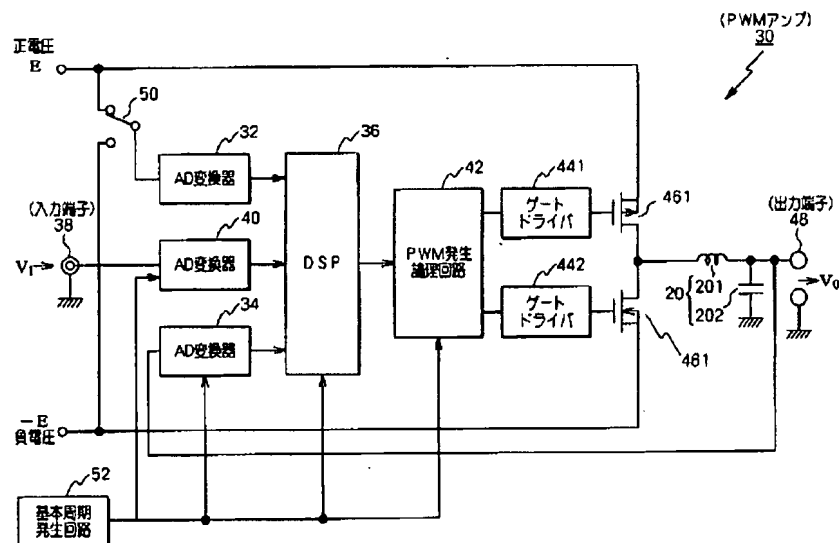
Vi 入力電圧

Vo 出力電圧

【図1】

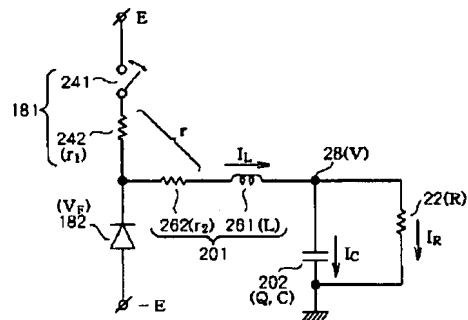


【図3】

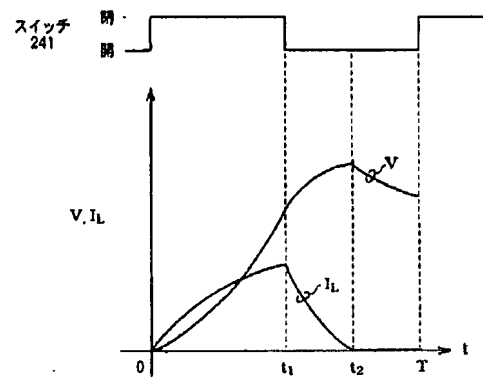


【図2】

(1)



(2)



フロントページの続き

Fターム(参考) 5J090 AA02 AA27 AA41 CA04 CA11
 CA21 FA20 GN01 HA10 HA19
 HA25 HA29 HA33 HA38 HA39
 KA33 KA34 KA42 KA62 MA01
 MA11 MA24 SA05 TA01 TA06
 5J091 AA02 AA27 AA41 CA04 CA11
 CA21 FA20 HA10 HA19 HA25
 HA29 HA33 HA38 HA39 KA33
 KA34 KA42 KA62 MA01 MA11
 MA24 SA05 TA01 TA06 UW01